



## 【特許請求の範囲】

【請求項 1】 ソース領域とドレイン領域とで挟まれるチャンネル領域を絶縁ゲート電極により制御する絶縁ゲート駆動型素子を有する半導体装置であって、前記チャンネル領域を形成するチャンネル拡散領域上にソース領域が形成される部分を少なくとも有し、該ソース領域表面にソース電極が金属膜により形成され、該ソース電極の金属が前記ソース領域および前記チャンネル拡散領域内にスパイクして半導体層との合金層が形成され、該合金層を介して前記ソース電極が前記ソース領域および前記チャンネル拡散領域との両方にオーミックコンタクトされてなる半導体装置。

【請求項 2】 前記絶縁ゲート駆動型素子が、半導体層の凹溝内にゲート酸化膜を介して前記ゲート電極が形成され、該凹溝の横に前記チャンネル拡散領域とソース領域が縦方向に形成されるトレンチ構造の素子である請求項 1 記載の半導体装置。

【請求項 3】 前記絶縁ゲート駆動型素子が、半導体層の表面にゲート酸化膜を介して前記ゲート電極が形成されるブレーナ型素子である請求項 1 記載の半導体装置。

【請求項 4】 前記半導体層がシリコンまたは炭化シリコンであり、前記ソース電極がアルミニウムからなる請求項 1、2 または 3 記載の半導体装置。

【請求項 5】 (a) ドレイン領域とする第 1 導電形の半導体層にトレンチを形成し、該トレンチ内にゲート酸化膜を介してゲート電極を形成する工程と、(b) 前記ゲート電極周囲の前記半導体層に第 2 導電形不純物および第 1 導電形不純物を順次拡散することによりチャンネル拡散領域およびソース領域を縦方向に形成する工程と、(c) 前記ソース領域表面に金属膜からなるソース電極を形成する工程と、(d) 熱処理を施し、前記ソース電極の金属膜を前記ソース領域およびチャンネル拡散領域にスパイクさせることにより、前記ソース電極が該ソース領域およびチャンネル拡散領域とそれぞれオーミックコンタクトする合金層を形成する工程と、(e) 前記第 1 導電形半導体層と電気的に接続してドレイン電極を形成する工程とを有する半導体装置の製法。

【請求項 6】 前記ソース電極の形成を、前記半導体層表面に形成した絶縁膜に前記ゲート酸化膜から離間するようにコンタクト孔を形成してから行う請求項 5 記載の半導体装置の製法。

【請求項 7】 (a') ドレイン領域とする第 1 導電形の半導体層の表面にゲート酸化膜を介してゲート電極を形成する工程と、(b') 前記ゲート電極周囲の前記半導体層に第 2 導電形不純物および第 1 導電形不純物を順次拡散することにより、前記ゲート電極の下側にチャンネル領域が形成されるようにチャンネル拡散領域およびソース領域を形成する工程と、(c) 前記ソース領域表面に金属膜からなるソース電極を形成する工程と、(d) 熱処理を施し、前記ソース電極の金属膜を前記ソース領域

およびチャンネル拡散領域にスパイクさせることにより、前記ソース電極が該ソース領域およびチャンネル拡散領域とそれぞれオーミックコンタクトする合金層を形成する工程と、(e) 前記第 1 導電形半導体層と電気的に接続してドレイン電極を形成する工程とを有する半導体装置の製法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、縦型 MOSFET や絶縁ゲート型バイポーラトランジスタ (IGBT) などのゲート駆動型素子を有するパワー半導体装置およびその製法に関する。さらに詳しくは、オン抵抗が小さく、大電流が得られるパワー用のゲート駆動型半導体装置およびその製法に関する。

【0002】

【従来の技術】従来、ハイパワー用ゲート駆動型パワー MOS トランジスタは、大電流化のため、トランジスタセルを多数個マトリクス状に並列に形成する構造が採られている。たとえばブレーナ構造のトランジスタは、図 4 に示されるように、たとえば n<sup>+</sup> 形の半導体基板 21a 上に、ドレイン領域とする n 形の半導体層 (エピタキシャル成長層) 21 がエピタキシャル成長され、その表面側に p 形不純物を拡散することにより p 形のボディ領域 22 が形成され、そのボディ領域 22 の外周部に n<sup>+</sup> 形のソース領域 23 が形成されている。ボディ領域 22 の端部およびその外側に位置する半導体層 21 の表面側にゲート酸化膜 24 を介してゲート電極 25 が設けられ、ボディ領域の外周部にチャンネル領域 22a が形成されている。そして、ソース領域 23 と接続するように層間絶縁膜 26 に設けられるコンタクト孔を介して A1 などによりソース電極 (ソース配線) 27 が形成され、半導体基板 21a の裏面にドレイン電極 28 が形成されることにより形成されている。

【0003】一方、ゲート電極を半導体層に形成した溝内に埋め込むトレンチ構造のパワー用 MOSFET は、図 5 にその一例が示されるように、半導体層 21 に凹溝が格子状に形成され、その内部にゲート電極 25 とするポリシリコンが埋め込まれ、酸化によりその周囲にゲート酸化膜 24 が形成され、その周囲に p 形のチャンネル拡散領域 22 と n<sup>+</sup> 形ソース領域 23 が形成され、縦方向にチャンネル領域 22a が形成されている。そのソース領域 23 およびチャンネル拡散領域 22 とオーミックコンタクトするようにソース電極 27 が形成され、半導体基板 21a の裏面にドレイン電極 28 が形成されることは図 4 と同様である。

【0004】なお、これらのトランジスタにおけるゲート電極の平面的構造は、正方形や五角形、六角形などの任意の形状に形成される。また、これらのトランジスタでは、モータのような誘導性負荷に接続されることが多く、その場合、動作をオフにするとき、逆方向の起電力

が印加されることがあり、トランジスタが破壊するのを防止するため、前述のように、ソース電極27をチャンネル拡散領域22とも接続させることにより、ソース・ドレイン間に逆方向の保護用ダイオードを形成する方法が採られている。

#### 【0005】

【発明が解決しようとする課題】 前述のような大電流用のトランジスタでは、定められた大きさのチップ内にできるだけ多くのトランジスタセルを作り、オン抵抗を下げるのが重要である。オン抵抗を小さくするために、チャンネル幅をできるだけ大きくすることが効果的であり、前述の構造のトランジスタでは、ゲート電極周囲に形成されるチャンネル領域22aの幅（ゲート電極周囲の長さ）の合計をできるだけ多くすることが好ましい。しかし、従来のこの種のトランジスタでは、半導体層の表面で、チャンネル拡散領域にソース電極をオーミックコンタクトさせるため、ソース領域とチャンネル拡散領域の両方を半導体層の表面に露出させる必要があると共に、ソース領域を拡散するときのマスク重ね合せのマージン、コンタクト孔とソース領域とのマスク重ね合せマージンが必要なことから、たとえば図5に示される構造で、コンタクト孔の大きさCが2～2.5μm程度となり、セル間隔（ゲート電極間のピッチ）Aは、4.5～5μm程度が限界である。この場合、ソース領域の幅Bは0.8～1μm程度である。そのため、セルの小形化を充分に行うことができず、オン抵抗の低減化を充分に図れないという問題がある。

【0006】 本発明は、このような問題を解決するためになされたもので、同じ大きさのチップ面積で、ゲート幅を大きくしてオン抵抗を小さくし、大電流化を図ることができる構造の絶縁ゲート駆動型素子を有する半導体装置を提供することを目的とする。

【0007】 本発明の他の目的は、チャンネル拡散領域とソース領域の両方にソース電極をコンタクトさせる素子を有する場合に、非常に小さい面積で、しかも簡単な工程でコンタクトさせ得る半導体装置の製法を提供することにある。

#### 【0008】

【課題を解決するための手段】 本発明者は、絶縁ゲート型半導体装置のオン抵抗を小さくして、小さなチップサイズで大きな電流を得ることができる半導体装置を得るため鋭意検討を重ねた結果、通常、半導体層の表面にA1などの金属膜を直接電極として設けると、半導体層の中にスパイクしてショートなどの問題を引き起こすため、バリア金属層を介在させることが常識になっているが、このスパイクにより半導体層中に入り込む量が成膜する金属膜の厚さおよび熱処理などの条件を制御することにより、コントロールすることができ、そのスパイクした合金層が半導体層と充分にオーミックコンタクトが得られることを見出した。そして、ソース領域とチャ

ネル拡散領域の両方にソース電極をコンタクトさせる場合でも、ソース領域とチャンネル拡散領域を縦方向に形成し、ソース電極を下層のチャンネル拡散領域までスパイクさせることにより、両層共に良好なオーミックコンタクトが得られることを見出した。

【0009】 本発明による半導体装置は、ソース領域とドレイン領域とで挟まれるチャンネル領域を絶縁ゲート電極により制御する絶縁ゲート駆動型素子を有する半導体装置であって、前記チャンネル領域を形成するチャンネル拡散領域上にソース領域が形成される部分を少なくとも有し、該ソース領域表面にソース電極が金属膜により形成され、該ソース電極の金属が前記ソース領域および前記チャンネル拡散領域内にスパイクして半導体層との合金層が形成され、該合金層を介して前記ソース電極が前記ソース領域および前記チャンネル拡散領域との両方にオーミックコンタクトされている。

【0010】 この構造にすることにより、ソース領域拡散のためのマスキングは必要がなく、アライメントマージンもコンタクト孔形成の際だけでよく、それほど必要としないと共に、半導体層の表面にソース領域とチャンネル拡散領域の両方にコンタクトするための領域を設ける必要もなく、表面にソース領域のみが露出しておればよい。そのため、コンタクト孔を非常に小さくすることができる。その結果、ゲート電極間隔を非常に狭くすることができ、セルの数を増やすことができるため、ゲート幅が大きくなり、オン抵抗を小さくすることができ、大電流が得られるハイパワーの半導体装置とすることができる。

【0011】 具体的には、前記絶縁ゲート駆動型素子が、半導体層の凹溝内に前記ゲート電極が形成され、該凹溝の横に前記チャンネル拡散領域とソース領域が縦方向に形成されるトレンチ構造の素子であったり、半導体層の表面にゲート酸化膜を介して前記ゲート電極が形成されるプレーナ型素子であってもよい。

【0012】 また、前記半導体層は、シリコンの他、炭化シリコンなどを用いることもでき、前記ソース電極がアルミニウムであれば、シリコンまたは炭化シリコンと合金化しやすく、スパイクによる合金層を形成しやすい。

【0013】 本発明による半導体装置の製法は、（a）ドレイン領域とする第1導電形の半導体層に凹溝を形成し、該凹溝内にゲート酸化膜を介してゲート電極を形成する工程と、（b）前記ゲート電極周囲の前記半導体層に第2導電形不純物および第1導電形不純物を順次拡散することによりチャンネル拡散領域およびソース領域を縦方向に形成する工程と、（c）前記ソース領域表面に金属膜からなるソース電極を形成する工程と、（d）熱処理を施し、前記ソース電極の金属膜を前記ソース領域およびチャンネル拡散領域にスパイクさせることにより、前記ソース電極が該ソース領域およびチャンネル拡散領域と

それぞれオーミックコンタクトする合金層を形成する工程と、(e)前記第1導電形半導体層と電気的に接続してドレイン電極を形成する工程とを有することを特徴とする。ここに各工程の順序は限定されず、たとえば

(a)と(b)とが逆に行われてもよい。

【0014】この方法で行うことにより、チャンネル拡散領域とソース領域とを完全に縦方向に形成することができ、トレンチ構造のゲート駆動型半導体装置を非常に小さな面積で形成することができる。

【0015】前記ソース電極の形成を、前記半導体層表面に形成した絶縁膜に前記ゲート酸化膜から離間するようにコンタクト孔を形成してから行うことにより、チャンネル領域が合金層により侵食される虞がなく好ましい。

【0016】本発明による半導体装置の製法における他の形態は、プレーナタイプのゲート駆動型半導体装置の製法で、(a')ドレイン領域とする第1導電形の半導体層の表面にゲート酸化膜を介してゲート電極を形成する工程と、(b')前記ゲート電極周囲の前記半導体層に第2導電形不純物および第1導電形不純物を順次拡散することにより、前記ゲート電極の下側にチャンネル領域が形成されるようにチャンネル拡散領域およびソース領域を形成する工程と、(c)前記ソース領域表面に金属膜からなるソース電極を形成する工程と、(d)熱処理をし、前記ソース電極の金属膜を前記ソース領域およびチャンネル拡散領域にスパイクさせることにより、該ソース領域およびチャンネル拡散領域とそれぞれオーミックコンタクトさせる合金層を形成する工程と、(e)前記第1導電形半導体層と電気的に接続してドレイン電極を形成する工程とを有することを特徴とする。

【0017】この方法によっても、チャンネル拡散領域をソース電極とコンタクトさせるために半導体層の表面に露出させる必要がなく、非常にセルの間隔を小さくすることができ、セルの数を増やしてゲート幅を大きくし、大電流化が可能となる。

【0018】

【発明の実施の形態】つぎに、図面を参照しながら本発明の半導体装置およびその製法について説明をする。本発明による半導体装置は、図1にその一実施形態であるゲート電極がトレンチ構造であるMOSFETの一部の断面説明図が示されるように、半導体層1にチャンネル領域2aを形成するチャンネル拡散領域2が設けられ、その上にソース領域3が形成されており、ソース領域3表面にソース電極7が金属膜により形成されている。そして、ソース電極7の金属がソース領域3およびチャンネル拡散領域2内にスパイクして半導体層との合金層7aが形成され、その合金層7aを介してソース電極7がソース領域3およびチャンネル拡散領域2との両方にオーミックコンタクトされている。

【0019】半導体層1は、たとえばシリコンからなり不純物濃度の大きいn'形半導体基板1aに5μm程度

の厚さにエピタキシャル成長されたシリコンからなるn形半導体層で、その表面にボロンなどからなるp形不純物が拡散され、さらにリンなどからなるn形不純物が拡散されることにより、p形のチャンネル拡散領域2が1μm程度の厚さで、n'形のソース領域3が0.3μm程度の厚さにそれぞれ形成されている。

【0020】そして、図1(b)に平面説明図が示されるように、ピッチが2μm程度の間隔(A)で格子状に0.5μm幅(E)程度で、1.5μm程度の深さに凹溝が形成され、その凹溝内にゲート酸化膜4を介してポリシリコンなどからなるゲート電極5が形成されている。半導体層の表面全面にSiO<sub>2</sub>などからなる絶縁膜6が形成され、ソース領域3が露出するようにコンタクト孔6aが形成され、その表面にソース電極7とするためのAlなどからなる金属膜を3μm程度の厚さ成膜されている。

【0021】この状態で、400℃程度、30分程度の熱処理を行うことにより、ソース電極7とソース領域3との界面における相互作用と相俟って、SiがAl中に拡散されることにより、AlとSiとの合金層が半導体層の内部に進み、図1(a)に示されるように先端が尖った合金層7aが形成される。この合金層7aは、熱処理の温度および時間により、その内部へのスパイク深さが変化し、チャンネル拡散領域2内に入り込み、かつ、チャンネル拡散領域2を突き抜けないように形成されている。

【0022】すなわち、前述のように、本発明者は、絶縁ゲート型半導体装置のオン抵抗を小さくして、小さなチップサイズで大きな電流を得ることができる半導体装置を得るため鋭意検討を重ねた結果、半導体層表面に設けられる金属膜がスパイクにより半導体層中に入り込む量は、成膜する金属膜の厚さおよび熱処理などの条件を制御することにより、コントロールすることができ、その制御により図1(a)に示されるように、ソース領域3およびチャンネル拡散領域2のみにオーミックコンタクトをさせることができ、しかもチャンネル拡散領域2を突き抜けないようにすることができることを見出した。

【0023】この合金層の深さ、すなわち、いわゆるスパイクの深さは、熱処理の温度を高く、または熱処理の時間を長くすることにより深くなり、非常に精度よく制御できた。たとえばSiに対してAl膜を設ける場合、300℃程度からスパイクは始まるが、400℃程度で行うのが最も効率的で、しかも精度よくスパイクの深さを制御することができた。たとえば400℃程度で30分程度の熱処理を行うことにより、0.6~0.8μm程度の深さだけスパイクし、前述の0.3μm程度のソース領域3と、1μm程度のチャンネル拡散領域2の拡散深さであれば、この条件で合金化処理を行うことにより、両層にオーミックコンタクトを採りながら、チャンネル拡散領域2を突き抜ける虞は全生じない。その結果、前

述のように、チャネル拡散領域2とソース領域3とが縦方向に重なる部分を形成しておくことにより、その表面からA1などの金属をスパイクさせれば、両層と直接オーミックコンタクトをさせることができた。

【0024】また、コンタクト孔の大きさが、1辺1 $\mu$ m程度以下であれば、殆ど全体的に1本のスパイクで入り込み、それより大きい10 $\mu$ m程度のコンタクト孔では、全体で均一にスパイクしないで、何本にも分れてスパイクすることも判明した。

【0025】図1に示される構造にすることにより、コンタクト孔6a形成用のマスクと凹溝形成用のマスクとの重ね合せのマージンだけを考慮すればよいため、また、半導体層表面のコンタクト孔はソース領域だけにコンタクトさせれば良いため、非常にセル間隔を小さく形成することができる。たとえば、コンタクト孔の大きさCを1 $\mu$ m程度にすることができ、セル間隔Aは、1.5~2 $\mu$ mに形成することができる。図1に示される例では、ソース電極7とゲート電極5とのショート避けるため、また、チャネル領域2aが合金層で侵食されないようにするため、ゲート電極5上も含めた半導体層の表面にSiO<sub>2</sub>などの絶縁膜6を形成し、ゲート酸化膜4と離間してコンタクト孔を形成し、ソース電極7が形成されているが、ゲート電極5の上部を充分に酸化して酸化膜を形成しておくことにより、絶縁膜6を設けなくて、すなわちコンタクト孔を形成しないで、ソース電極7を形成することができ、マスク精度ギリギリの大きさ、たとえばD=0.4 $\mu$ m、E=0.3 $\mu$ m程度、セル間隔Aを0.7 $\mu$ m程度に小さくすることも可能である。

【0026】たとえば従来構造でゲート電極5周囲のゲート酸化膜4の幅E(図1(b)参照)が0.5 $\mu$ m、隣接するゲート酸化膜4の間隔Dが4.5 $\mu$ m(セル間隔Aが5 $\mu$ m)であったのを、本発明によりEは同じで、Dを2 $\mu$ mに狭くすると、トランジスタセルの間隔Aは、5 $\mu$ mから2.5 $\mu$ mと半分になり、単位面積当たり、セルの数を4倍にすることができる。一方、オン抵抗に影響するゲート幅となるゲート酸化膜周囲の長さは、 $2/4.5 \times 4$ (単位面積当たりのセルの数)=1.78となり、抵抗が1.78分の1、すなわち電流を1.78倍にすることができる。同様に、Dを1.5 $\mu$ m、1 $\mu$ m、0.5 $\mu$ mにすると、それぞれ電流を2.08倍、2.47倍、2.78倍と増やすことができる。現在のたとえばi線による微細加工における露光技術の精度では、0.35 $\mu$ m程度にすることができ、この技術を適用すれば、Dを0.35 $\mu$ mにできるのみならず、ゲート電極の幅Eも0.35 $\mu$ m程度にすることができるため、より一層単位面積当たりのセルの数を増やすことができ、大電流化することができる。

【0027】つぎに、このトレンチ構造のMOSFETの製造方法について、図2を参照しながら説明をする。

まず図2(a)に示されるように、n<sup>+</sup>形半導体基板1a上にn形半導体層1を5 $\mu$ m程度エピタキシャル成長する。そして、その表面からボロンなどのp形不純物を拡散しp形のチャネル拡散領域2を形成し、ついで、リンなどのn形不純物を拡散してn<sup>+</sup>形のソース領域3を形成する。

【0028】その後、図1(b)にゲート電極のパターンが示されるような格子状の開口部を有するレジスト膜を半導体層表面全面に形成し、RIEなどのドライエッチングにより1.5 $\mu$ m程度の深さの凹溝を形成する。その後、レジスト膜を除去し、全面にポリシリコンを堆積して凹溝内にポリシリコンを埋め込み、エッチバックなどにより表面のポリシリコン膜を除去する。その後、900℃程度で、30分程度の熱処理を行うことにより、図2(b)に示されるように、凹溝内にゲート電極5および0.05 $\mu$ m程度の厚さのゲート酸化膜4を形成する。

【0029】ついで、図2(c)に示されるように、半導体層の表面にSiO<sub>2</sub>などの絶縁膜6をCVD法などにより、0.5 $\mu$ m程度成膜し、ゲート電極5上を被覆し、その周囲にソース領域3が露出するように開口部6aを形成する。そして、全面にA1などの金属膜をスパッタリング法などにより3 $\mu$ m程度の厚さ成膜し、ソース電極7を形成する。

【0030】ついで、チッ素(N<sub>2</sub>)の雰囲気中、400℃程度、30分程度の熱処理を行うことにより、ソース電極7の金属材料が、図2(d)に示されるように、半導体層のSiと合金化し、ソース領域3およびチャネル拡散領域2内にスパイクして、合金層7aを形成する。この場合、前述のように、この熱処理の温度および時間により、スパイクの深さが変わるため、チャネル拡散領域2内に入り込んでオーミックコンタクトが得られると共に、チャネル拡散領域2を突き抜けて半導体層1に達しないように熱処理の条件を制御する必要がある。その後、半導体基板1aの裏面に、Tiなどの金属をスパッタリングなどにより成膜して、ドレイン電極8を形成することにより、図1(a)に示されるトレンチ構造のMOSFETが得られる。

【0031】なお、図2に示される例では、チャネル拡散領域2およびソース領域3用の拡散をしてから、凹溝を形成してゲート電極5を形成したが、半導体層1をエピタキシャル成長した後に、ゲート電極5形成してからチャネル拡散領域2およびソース領域3用の拡散を行ってもよい。

【0032】前述の例は、トレンチ構造のMOSFETであったが、プレーナ型のMOSFETの例が図3に示されている。このプレーナ型のMOSFETを得るには、前述の例と同様に、n<sup>+</sup>形の半導体基板1aにn形の半導体層1をエピタキシャル成長し、その表面にゲート酸化膜4を介してゲート電極5を形成する。そして、

そのゲート電極5をマスクとしてp形不純物を拡散し、ついでn形不純物を拡散することにより、等方的に、しかも最初に拡散した不純物は後の拡散でも再度拡散するため、チャネル拡散領域2は図3に示されるようにゲート電極5の下まで拡散し、ソース領域3との間に間隙部を有してゲート電極5の下にチャネル領域2aが形成される。

【0033】そして、前述の例と同様に、全面に絶縁膜6を成膜し、ソース領域3を露出させる開口部6aを形成してソース電極7を形成する。さらに、前述と同様の熱処理を行うことにより、スパイクさせ、チャネル拡散領域2およびソース領域3とオーミックコンタクトが得られる合金層7aを形成し、半導体基板1aの裏面にドレイン電極8を形成することにより、図3に示されるプレーナ型のMOSFETが得られる。

【0034】前述の例は、縦型MOSFETの例であったが、この縦型MOSFETにさらにバイポーラトランジスタが作り込まれる絶縁ゲート型バイポーラトランジスタ(IGBT)でも同様である。

【0035】

【発明の効果】本発明によれば、MOSFETのチャネル拡散領域とソース領域との両方にオーミックコンタクトを得るのに、チャネル拡散領域とソース領域とが縦方向に重なるように形成した部分の表面にソース電極を設け、その金属材料を下層のチャネル拡散領域までスパイク

\*クさせてオーミックコンタクトを得ているため、非常に小さな面積で両層にコンタクトさせることができる。その結果、単位面積当りのトランジスタセルの数を非常に増やすことができ、オン抵抗を1/2以下にすることができ、同じ動作電圧で電流を2倍以上に増やすことができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の一実施形態であるトレンチ型MOSFETの断面および平面の説明図である。

10 【図2】図1に示されるMOSFETの製造工程を示す断面説明図である。

【図3】本発明による半導体装置のプレーナ型の例を示す断面説明図である。

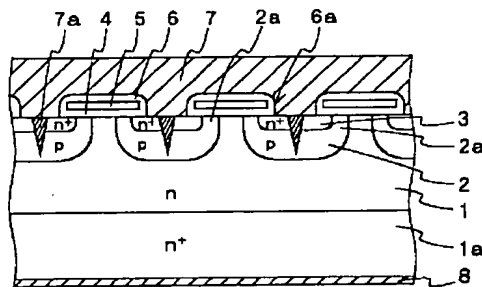
【図4】従来のプレーナ型MOSFETの構造を示す断面説明図である。

【図5】従来のトレンチ構造によるMOSFETの構造を示す断面説明図である。

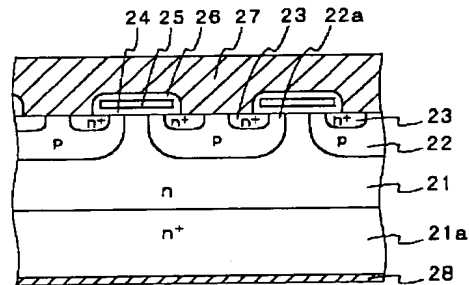
【符号の説明】

- 1 半導体層
- 20 2 チャネル拡散領域
- 3 ソース領域
- 4 ゲート酸化膜
- 5 ゲート電極
- 7 ソース電極
- 7a 合金層

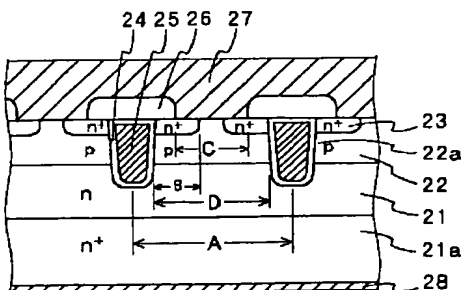
【図3】



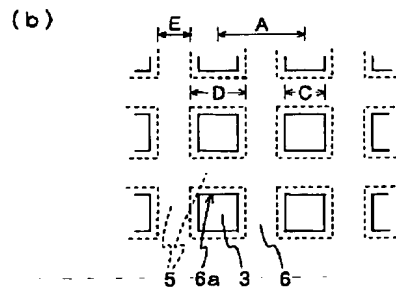
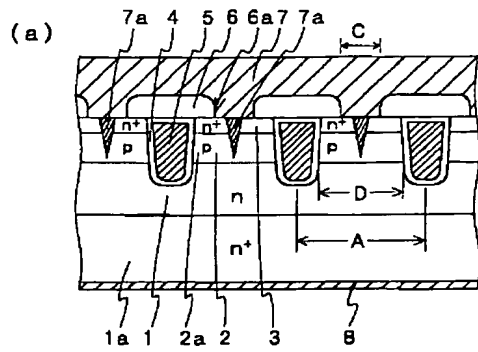
【図4】



【図5】



【図1】



- |            |         |
|------------|---------|
| 1 半導体層     | 5 ゲート電極 |
| 2 チャネル形成領域 | 7 ソース電極 |
| 3 ソース領域    | 7a 合金層  |
| 4 ゲート酸化膜   |         |

【図2】

